

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-036557

(43)Date of publication of application : 17.02.1988

(51)Int.Cl.

H01L 27/08

H01L 27/06

(21)Application number : 61-180354

(71)Applicant : NEC CORP

(22)Date of filing : 30.07.1986

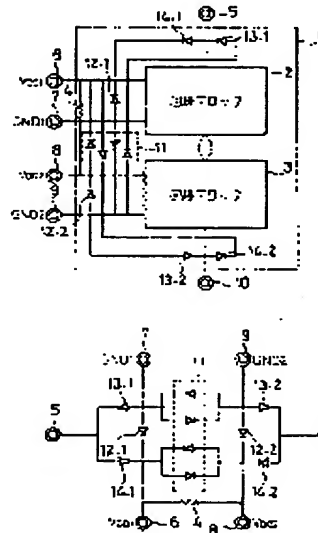
(72)Inventor : YOSHITAKE KAZUKI

(54) COMPLEMENTARY MIS INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a circuit, which can reduce the impedance of a discharge path of static electricity and includes a highly reliable protective circuit, by inserting at least a pair of two-way P-N junction diodes between power source terminals, which are not internally connected at the same potential.

CONSTITUTION: At least one pair of two-way P-N junction diodes are provided between power source terminals, which are not connected with metallic interconnections in an integrated circuit, at the same potential. For example, one pair of two-way P-N junction diodes 11 are provided between power source terminals VDD1 and VDD2 and between power source terminals GND1 and gnd2, respectively. As discharge paths of static electricity when the static electricity is applied between, e.g., terminals 5 and 10, many paths are present so that the electricity passes the two-way diodes 11 in the forward direction without fail. Therefore, the impedance between the terminal 5 and the terminal 10 can be reduced, dispersion among the kinds of the products can be made small, and the reliability of the protective circuit can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-36557

⑪ Int.Cl.⁴H 01 L 27/08
27/06

識別記号

3 2 1
3 1 1

庁内整理番号

7735-5F
7735-5F

⑬ 公開 昭和63年(1988)2月17日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 相補型MIS集積回路

⑮ 特 願 昭61-180354

⑯ 出 願 昭61(1986)7月30日

⑰ 発 明 者 吉 武 和 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

相補型MIS集積回路

2. 特許請求の範囲

同一電位で、集積回路内部で金属配線で接続されない複数の電源端子を持つ相補型MIS集積回路において、前記電源端子間に少なくとも一対の及方向P-N接合保護ダイオードを有することを特徴とする相補型MIS集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は相補型MIS集積回路に関し、特に電源ノイズ、インピーダンスの観点から同一電位で、内部で金属配線接続されていない複数の電源端子を持つ相補型MIS集積回路に関する。

〔従来の技術〕

従来、この種の相補型MIS集積回路の保護はほとんど考慮されていない場合が多く、考慮した場合も同一回路ブロックに供給されている高電位、低電位電源端子間にPN接合電源保護ダイオード

が挿入されていた。

第8図は上述した従来の相補型MIS集積回路のブロック図、第4図は第8図の端子5と10の間の静電気の放電経路図である。

集積回路のチップ1内に電源系を分けた回路ブロック1、2があり、各々、電源端子6(VDD1)、7(GND1)、8(VDD2)、9(GND2)と通常の端子5、10がある。端子5には、電源端子VDD1とGND1に対してそれぞれ保護ダイオード18-1、14-1が設けられ、端子10には同様に保護ダイオード18-2、14-2が設けられている。また、電源端子6と7、8と9間にはそれぞれ電源ダイオード12-1、12-2が設けられ、電源端子VDD1とVDD2の間には基板抵抗4が存在する。本例はN型基板の場合で、P型基板の場合は電源端子GND1、GND2の間に基板抵抗が存在する。

〔発明が解決しようとする問題点〕

この相補型MIS集積回路では、電源系の異なる端子間に静電気が印加された場合、例えば端子5と端子10との間で静電気が放電する場合の放

電経路は、第4図に示すようになる。すなわち、端子5から保護ダイオード14-1ないしは18-1、12-1を通つて電源端子VDD1へ抜け、ここから基板抵抗4を介して電源端子VDD2へ抜け、さらにダイオード14-2ないしは12-2、18-2を通つて端子10へ放電される。基板抵抗4は、通常数100Ωから数10kΩあり、しかもこの値は集積回路のチップサイズ、レイアウト、基板コンタクトの取り方等により品種毎に異なり、かつそのバラツキは大きい。

上述した従来の相補型MIS集積回路は、この抵抗が大きい時は、放電のスピードが著しく遅くなり、かつ抵抗による電位降下の分オフセットを持つため、ゲート酸化膜の絶縁破壊を招きやすいという欠点がある。

〔問題点を解決するための手段〕

本発明の相補型MIS集積回路は、同電位でかつ集積回路内部で互いに金属配線にて接続されていない電源端子間に少なくとも一对の双方向P-N接合ダイオードを有している。

電源端子VDD1へ抜け、基板抵抗4および電源端子VDD1とVDD2との間の双方向ダイオードにより、必ず順方向で電源端子VDD2へ抜け、さらに保護ダイオード14-2を介して端子10へ抜けるバスおよび電源端子GND1とVDD1間の電源ダイオード12-1および電源端子GND2とVDD2の間の電源ダイオード12-2によるバイパス経路が存在する。このように、多くの経路が本実施例により実現できることにより、端子5と端子10の間のインピーダンスは、前述の従来例に比べて大幅に低減でき、かつ品種間のバラツキも非常に小さくすることができ、保護回路の信頼度を大幅に向上させることができる。

〔発明の効果〕

以上説明したように本発明は、同電位非内部接続電源端子間に少なくとも一对の双方向P-N接合ダイオードを挿入することにより、静電気の放電経路のインピーダンスを従来に比べて大幅に低減でき、信頼度の高い保護回路を含んだ相補型MIS集積回路を提供できる効果がある。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の相補型MIS集積回路の一実施例のブロック図、第2図は第1図の端子5と10の間の静電気の放電経路図である。

本実施例は、第8図の従来例において、同一電位で集積回路1内で金属配線にて接続されていない電源端子間(本例では、電源端子VDD1とVDD2、電源端子GND1とGND2)に各々一对の双方向P-N接合ダイオード(点線11で囲まれた部分)を設けたものである。

今、端子5と10との間に静電気が印加された場合を考える。この時の静電気の放電経路を示したものが第2図である。端子5からは、保護ダイオード18-1を介して電源端子GND1へ抜け、電源端子GND1とGND2との間の双方向ダイオードにより必ず順方向で電源端子GND2へ抜け、さらに保護ダイオード18-2を介して端子10へ抜けるバスと、保護ダイオード14-1を介して

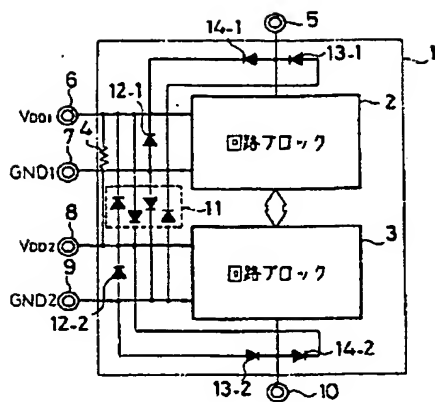
4. 図面の簡単な説明

第1図は、本発明の相補型MIS集積回路の一実施例を示すブロック図、第2図は第1図の端子5と10との間の静電気の放電経路図、第8図は従来例のブロック図、第4図は第8図の端子5と10との間の静電気の放電経路図である。

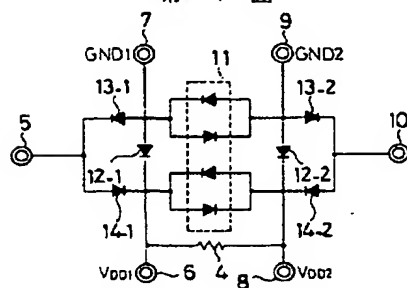
1…集積回路チップ、2…回路ブロック(電源系VDD1-GND1)、3…回路ブロック(電源系VDD2-GND2)、4…基板抵抗、5…回路ブロック2系端子、6…高電位電源端子(VDD1)、7…低電位電源端子(GND1)、8…高電位電源端子(VDD2)、9…低電位電源端子(GND2)、10…回路ブロック2系端子、11…同電位電源端子間双方向P-N接合ダイオード対、12-1、12-2…電源間ダイオード、13-1、13-2…低電位側保護ダイオード、14-1、14-2…高電位側保護ダイオード。

特許出願人 日本電気株式会社

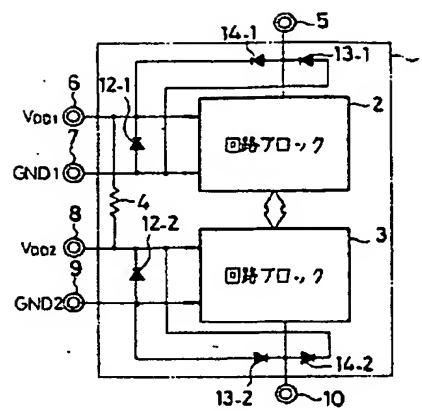
代理人 弁理士 内 原 晋



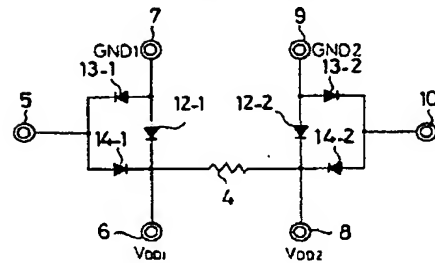
第 1 図



第 2 図



第 3 図



第 4 図